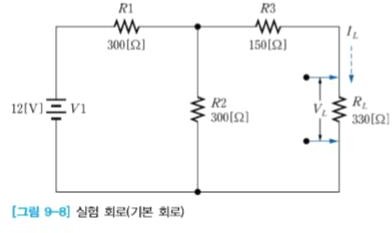
# < 9.4 실험 >

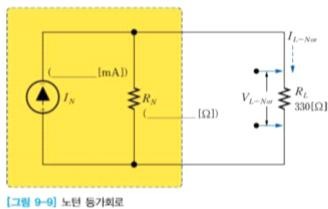
* 9.4.1 기본 회로 실험

1. [그림 9-8] 회로의 전압** 과 전류** 을 이론값을 계산하여 [표 9-1]에 기록하라.



* 9.4.2 노턴 등가회로 실험

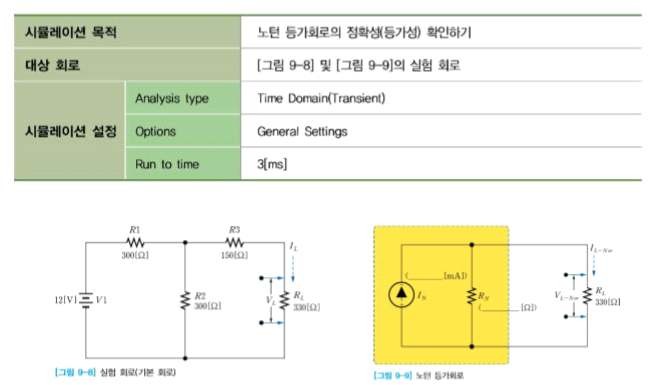
1. [그림 9-8] 회로를 [그림 9-9] 노턴 등가회로의 ** , ** 이론값을 계산하여 [표 9-1]에 기록하라.



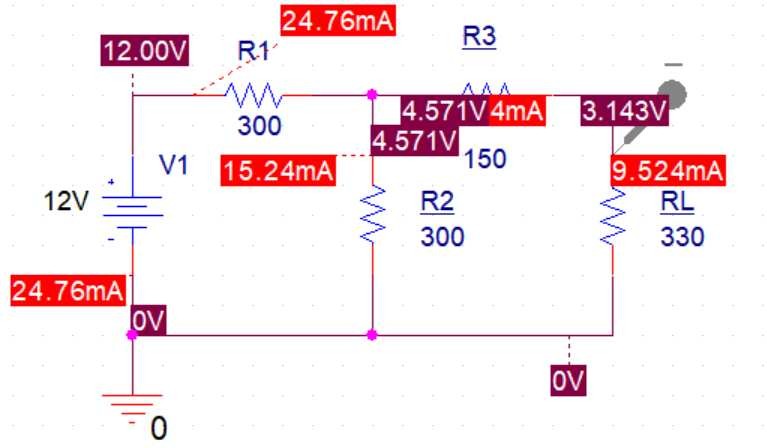
1. 위 2번의 이론값으로 실제 회로를 구성한 후, **  **  과 **  **  을 계산하여 [표 9-1]에 기록하라.

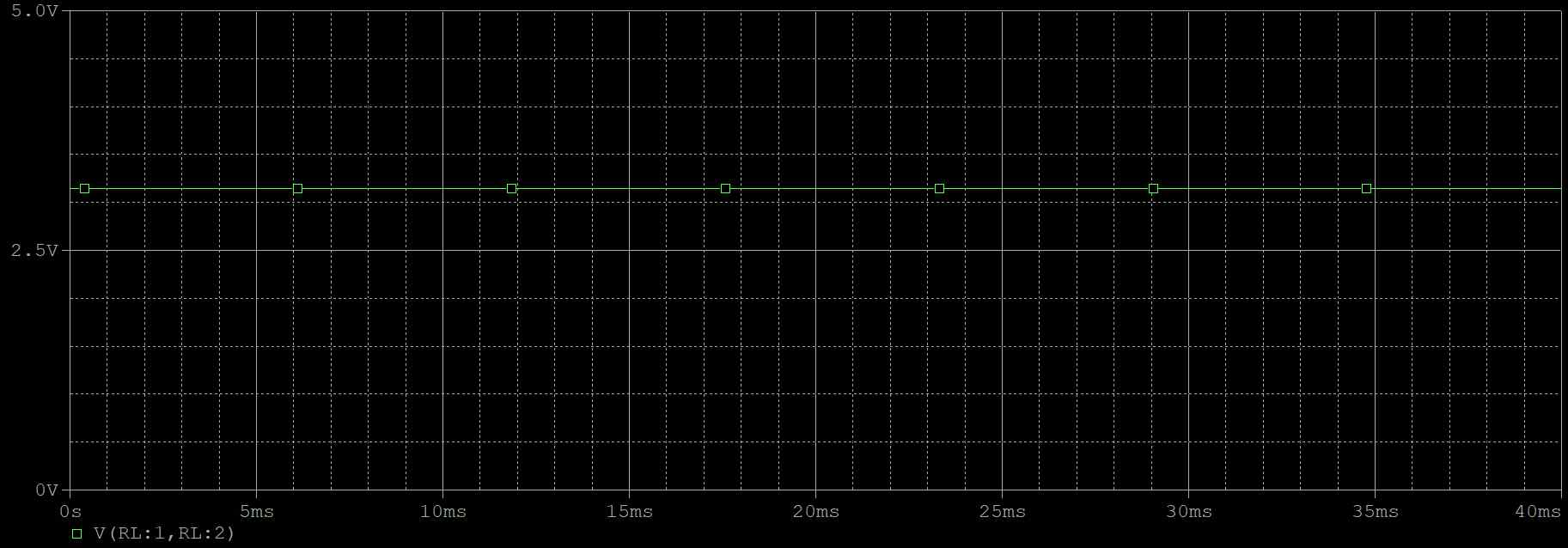
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 기본 회로 실험 | | 이론값 | | 노턴 등가회로 실험 | |
| ** | ** | ** | ** | **  **  | **  **  |
| 3.1429[V] | 9.524[mA] | 9.524[mA] | 0.329[Ω] | 3.1429[V] | 9.524[mA] |

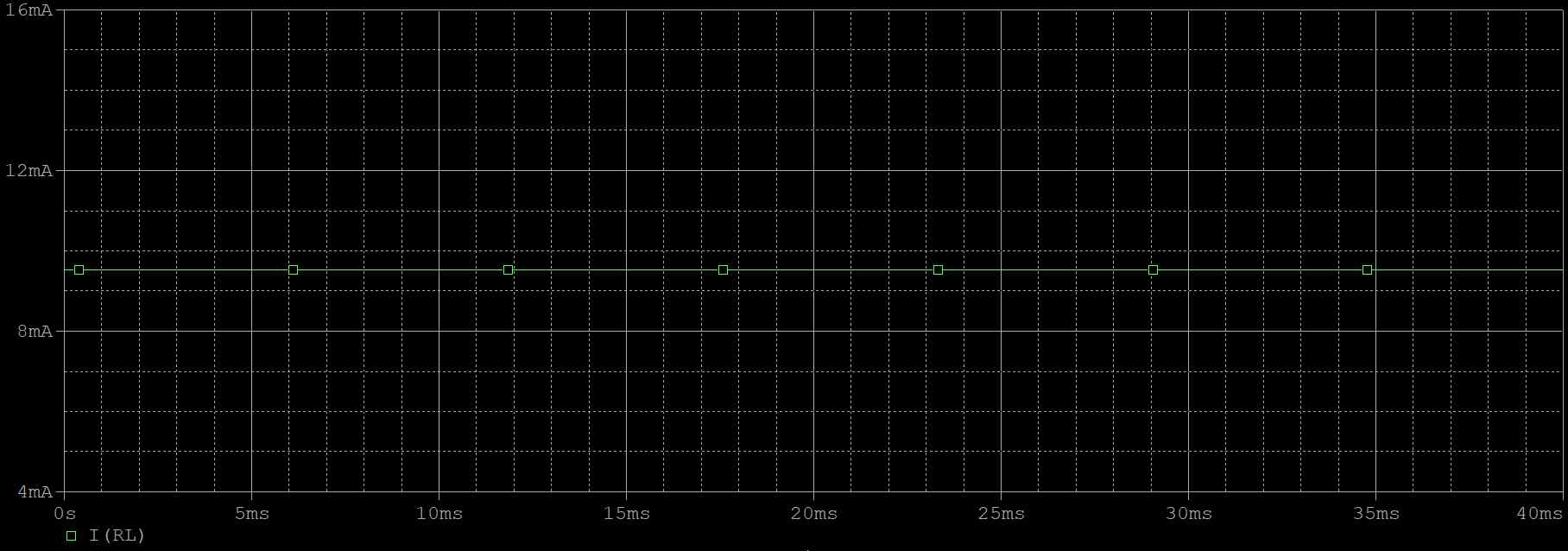
# < 9.5 시뮬레이션 >

* 9.5.1 시뮬레이션 방법
* 9.5.2 시뮬레이션 결과(기본 회로)

OrCAD로 작성한 시뮬레이션 회로(기본 회로)와 결과를 제출 하세요.







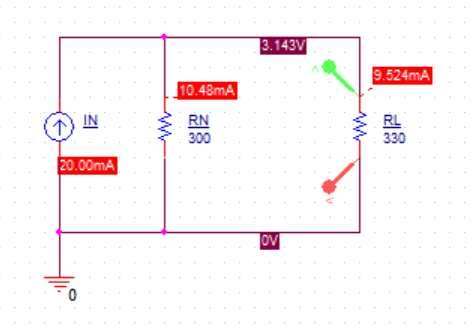
* 9.5.2 시뮬레이션 결과(노턴 등가회로)

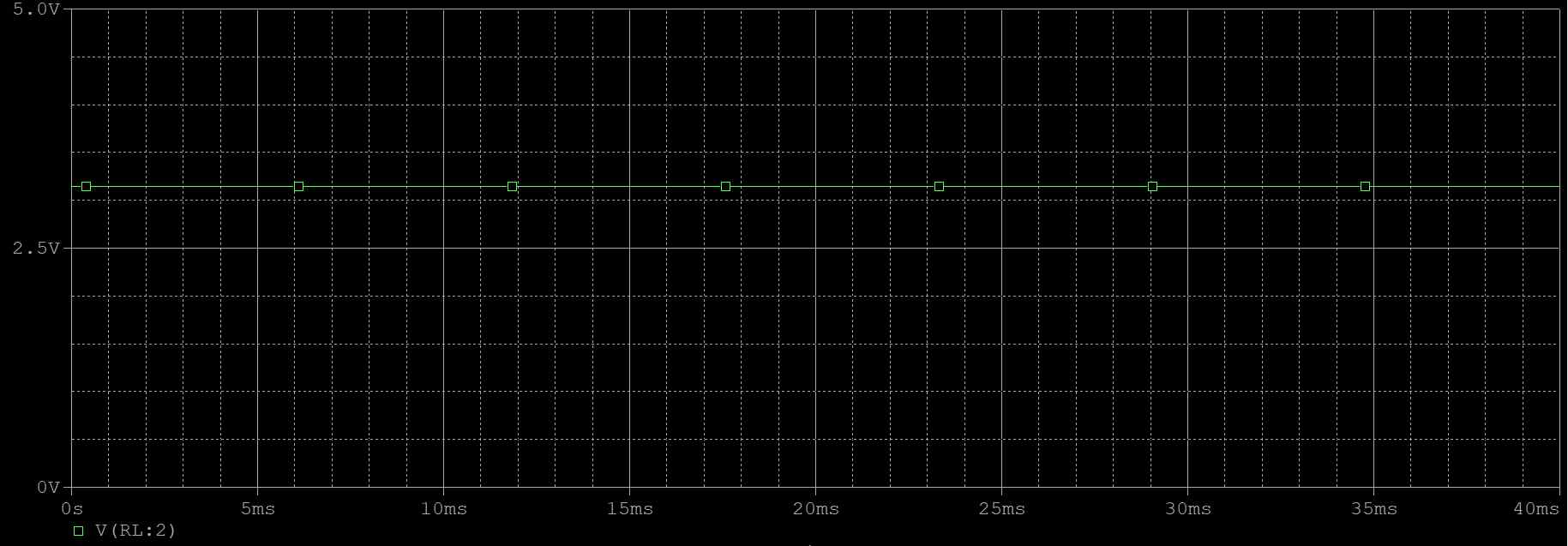
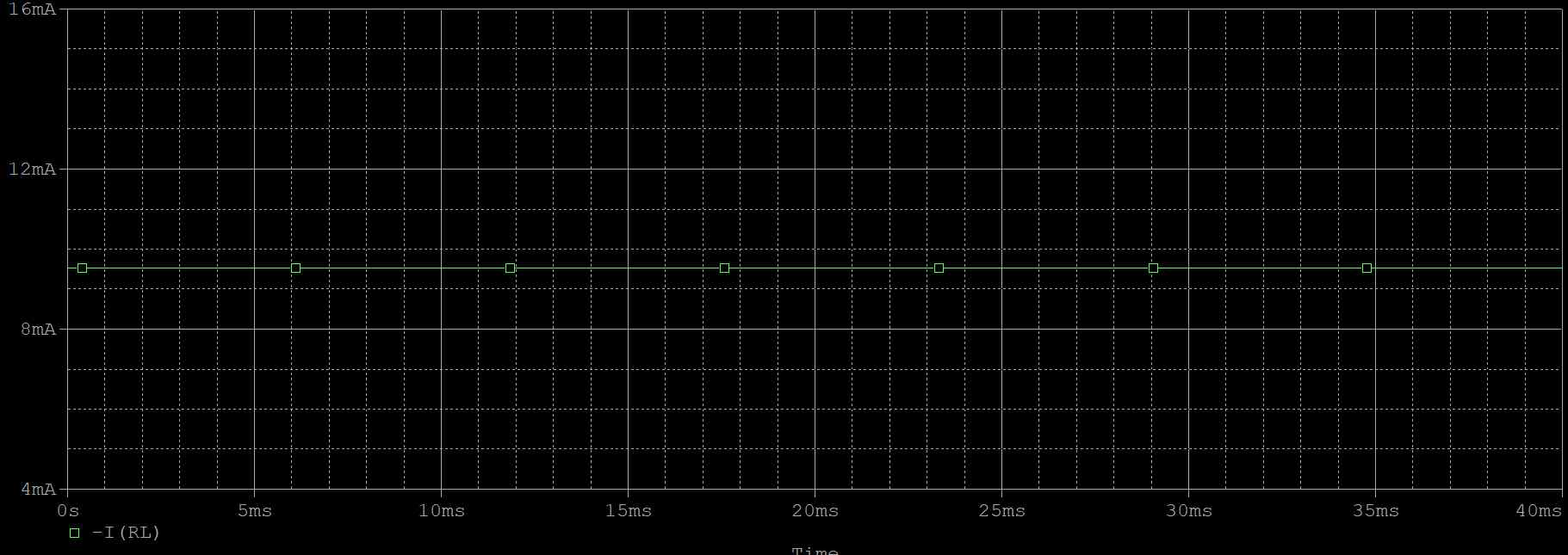
OrCAD로 작성한 시뮬레이션 회로(노턴 등가회로)와 결과를 제출 하세요.

: 회로의 등가 전류원 ** 으로 직류 정전류원운 ‘IDC’ 사용

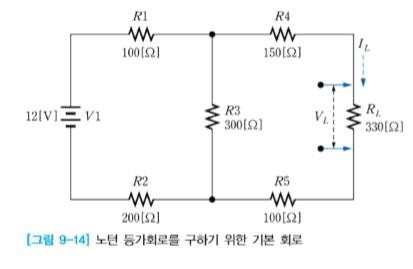
: ‘IDC’는 PSpice의 ‘Place Part -> Search for Part’에서 입력

: **  **  =9.5[mA], **  **  =3.1[V] : 노턴 등가회로의 정확성(등가성) 확인





# < 결과 검토 >

1. [표 9-1]에서 ** 과 **  **  이 같은 값을 나타내는지 확인하라.
2. [표 9-1]에서 ** 과 **  **  이 같은 값을 나타내는지 확인하라.
3. [그림 9-14]에 주어진 회로에 대하여 노턴 등가회로를 구하라.
4. 결과 검토 (3)에서 구한 노턴 등가회로를 이용하여 부하저항 ** 에 걸린 전압 **  **  과 전류 **  **  을 구하라.

|  |  |  |  |
| --- | --- | --- | --- |
| PSpice 기본 회로 실험 | | 노턴 등가회로 실험 | |
| ** | ** | **  **  | **  **  |
| 3.1429[V] | 9.524[mA] | 3.1429[V] | 9.524[mA] |

1. PSpice 시뮬레이션
2. [그림 9-14]의 회로를 시뮬레이션하여 부하저항 ** 에 걸린 전압 ** 과 전류 ** 을 구하라.
3. 결과 검토 (4)에서 구한 **  **  , **  **  과 시뮬레이션으로 구한 ** , ** 의 값이 서로 같은지 비교하라.

-->>>1,2번 결과는 위에 첨부 하였음.

# < 셀프 테스트 >

1. 노턴 등가회로는 하나의 등가전류원 및 이것과 병렬로 연결된 등가저항으로 이루어져 있다.
2. 노턴 등가회로에서 등가저항을 구할 때는 전원을 제거하지 않는다. (X)
3. 노턴 등가회로를 구하려면, 부하저항을 제거하고 단락된 단자를 만들어야 한다.
4. 노턴 등가회로에서는 등가전류원을 구하므로 전원의 내부저항을 고려해야 한다. (O)